

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015516

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 21/3205

H01L 21/60

H01L 23/20

(21)Application number : 11-186435

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1999

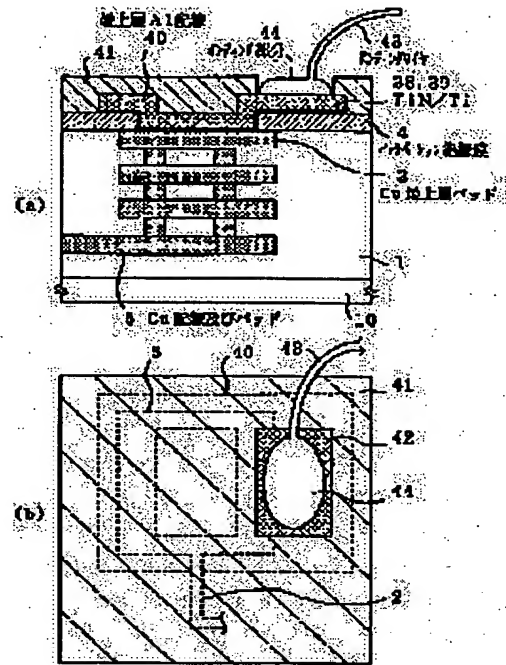
(72)Inventor : IJIMA TADASHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a reliable semiconductor device and a method for manufacturing the device, which can suppress its deterioration with time while using copper wiring.

**SOLUTION:** A connection part 44 to a connection electrode (pad) 3 made of a copper film on a semiconductor substrate 10 or between the electrode 3 and a bonding wire 43 is arranged so that copper is not exposed onto the surface of the connection part 44. Consequently, there can be obtained a reliable semiconductor device which suppresses its deterioration with time with use of a copper wiring. When an Al wiring is formed on a semiconductor element using a copper wiring 6, an Al pad 40 is formed not immediately above the copper pad 3 but at a position of a passivation insulating film 4 shifted with respect to the copper pad. A stress during bonding is not exerted up to the Cu wiring and copper is not exposed onto the surface thereof. As a result, there can be formed a reliable semiconductor device which prevents deterioration of the copper wiring with time such as oxidation or corrosion.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-15516  
(P2001-15516A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) IntCl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	T 5 F 0 3 3
21/60	3 0 1	21/60	3 0 1 P 5 F 0 4 4
23/20		23/20	

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願平11-186435

(22) 出願日 平成11年6月30日 (1999. 6. 30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 飯島 匡

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100097629

弁理士 竹村 壽

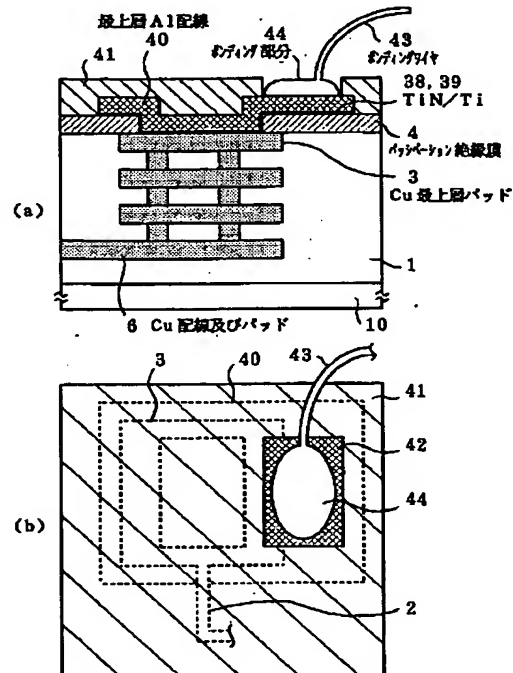
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 銅配線を使用しながらその経時変化による劣化を抑えた信頼性の高い半導体装置及びその製造方法を提供するものである。

【解決手段】 半導体基板10上の銅膜から構成された接続電極(パッド)3又は接続電極とボンディングワイヤ43との接続部分44の表面を銅が露出しないように構成する。これにより銅配線を使用しながらその経時変化による劣化を抑えた信頼性の高い半導体装置及びその製造方法を得ることができる。銅配線6を用いた半導体素子上にA1配線を形成する場合、銅パッド3直上ではなく、銅パッドより少しずらしたパッシベーション絶縁膜4の位置にA1パッド40を形成する。ボンディング時のストレスがCu配線まで及ばず、表面に銅が露出することがないため酸化やコロージョン等の銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第 1 の配線と、前記第 1 の配線に接続された銅又は銅を主成分とする合金膜から構成された接続電極と、前記第 1 の配線及び前記第 1 の接続電極を被覆し、前記第 1 の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第 1 の接続電極に接続された第 2 の配線と、前記第 2 の配線と電気的に接続された第 2 の接続配線とを具備し、前記第 2 の接続電極が前記第 1 の接続電極の直上ではなく、第 1 と第 2 の接続電極の位置はずれていることを特徴とする半導体装置。

【請求項 2】 半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第 1 の配線と、前記第 1 の配線に接続された銅又は銅を主成分とする合金膜から構成された第 1 の接続電極と、前記第 1 の配線及び第 1 の接続電極を被覆し、前記第 1 の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第 1 の接続電極の前記開口部に露出している部分を完全に被覆するように前記絶縁膜上に形成された酸素の透過を抑制する導電膜と、前記導電膜上に形成された第 2 の配線と、前記第 2 の配線と電気的に接続された第 2 の接続電極とを具備したことを特徴とする半導体装置。

【請求項 3】 半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第 1 の配線と、前記第 1 の配線に接続された銅又は銅を主成分とする合金膜から構成された第 1 の接続電極と、前記第 1 の配線及び第 1 の接続電極を被覆し、前記第 1 の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第 1 の接続電極の前記開口部に露出している部分を完全に被覆するように前記絶縁膜上に形成された酸素の透過を抑制する導電膜と、前記導電膜上に形成されたバリアメタル層と、前記バリアメタル層上に形成された第 2 の配線と、前記第 2 の配線と電気的に接続された第 2 の接続電極とを具備したことを特徴とする半導体装置。

【請求項 4】 前記酸素の透過を抑制する導電膜は、Ti、Ta、Al、Nb 及びこれらの化合物のいずれかから選ばれることを特徴とする請求項 2 又は請求項 3 に記載の半導体装置。

【請求項 5】 前記第 2 の配線及び前記第 2 の接続配線は、Al、Au、Ag、Pt 及びそれらの合金から選ばれることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第 1 の配線と、前記第 1 の配線に接続された銅又は銅を主成分とする合金膜から構成された接続電極と、前記第 1 の配線及び前記第 1 の接続電極とを被覆し、前記第 1 の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜を形成する工程と、前記開口部を介してボンディングワイヤの一端を

前記接続電極にボンディングする工程と、前記接続電極と前記ボンディングワイヤとの接続部分を外気から遮断する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 7】 前記接続部分を外気から遮断する工程は、半導体基板を  $10^{-4}$  Torr 以下の酸素分圧雰囲気中で乾燥する工程からなることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記ボンディングワイヤ接続後に保護絶縁膜を形成する工程をさらに具備することを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記半導体基板を  $10^{-4}$  Torr 以下の酸素分圧不活性ガスで密封する工程をさらに具備することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の技術分野】本発明は、銅配線を使用し、その経時変化による劣化を抑えた信頼性の高い半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来、半導体装置は、半導体基板上に配線がパターンニングされている。図 11 は、半導体素子が形成された半導体基板の平面図及びこの平面図の A-A' 線に沿う部分の断面図である。シリコンなどの半導体基板 100 には、シリコン酸化膜などの絶縁膜 101 が形成されており、その上にアルミニウムなどの配線パターン 102 が形成されている。半導体装置の高集積化に伴って使用される配線も高密度化して多層配線が常態になっている。配線パターン 102 は、最上層の配線である。最上層の配線パターンには外部との電気的接続を行う接続電極（以下、パッドという）が接続されている。この配線パターン 102 にもパッド 103 が接続されている。パッド 103 は、配線パターン 102 と同じ材料で形成されている。配線パターン 102 は、シリコン窒化膜などのパッシベーション絶縁膜 104 に被覆保護されている。しかし、パッド 103 は、周辺部のみパッシベーション絶縁膜 104 によって被覆され、中心部分は、接続部としてパッシベーション絶縁膜 104 に形成された開口部 105 に囲まれ、露出している。パッド 103 の接続部は、金やアルミニウムなどのボンディングワイヤ 106 の先端に接続されている。ボンディングワイヤ 106 の他端は、外部回路、例えば、パッケージ（図示しない）の電極端子などに接続される。

## 【0003】

【発明が解決しようとする課題】近年、このような配線に銅を用いることが多くなってきた。銅配線を用いる場合には、銅の酸化やコロージョンなどに気をつけなければならない。銅を保護膜を施さないで大気中に放置しておくと、大気中の温度や大気中の銅汚染物質の影響により銅が錆びてしまう現象（コロージョン）が発生する。

また、大気中で銅を加熱していくと、150℃程度以上の温度で酸化されるようになる。そして、これらの酸化やコロージョンが進行すると半導体装置に形成された銅配線は、断線を起こすに至る。したがって、銅を配線として用いる半導体素子では何らかの形で銅の保護が必要となる。そこで、通常銅もしくは銅合金を用いた配線上にはシリコン窒化物 ( $\text{Si}_3\text{N}_4$ ) の保護膜が形成されている。この  $\text{Si}_3\text{N}_4$  保護膜は、大気中の酸素等の透過を抑制する機能を有するために銅の保護膜として非常に有効である。また、銅配線の  $\text{Si}_3\text{N}_4$  保護膜が無い部分即ち最上層の配線パターンに接続されている銅のパッド部分では銅がむき出しになっている状態でボンディング工程を実施しなければならず、工程時における温度と雰囲気には十分気をつけなければならないという問題があった。これは従来アルミニウムや金配線では問題なく、銅配線に独特の問題である。

【0004】また、半導体素子をパッケージングする場合、銅配線の最上層のパッドは、ボールボンディングやワイヤーボンディングにより接続が行われる。しかし、この場合、せっかく銅配線が  $\text{Si}_3\text{N}_4$  保護膜で覆われていてもパッド部分では銅表面が露出する。この後、樹脂により封止が行われるが、この樹脂は、銅の保護膜としては完全ではなく、酸素等を透過してしまい、長時間の経過により、銅配線が劣化するという問題がある。また、ボールボンディングやワイヤーボンディングにより接続する場合、銅の酸化やコロージョンを防ぐために最上層をアルミニウム配線を用いて形成することがある。この場合、アルミニウムパッドの直下に銅配線があると、ボンディング部分のストレスにより銅配線が表面に出てしまうことがある。これでは銅配線上にアルミニウム配線を形成する意味がなくなってしまう。つまり、長時間の経過により銅配線が劣化するという問題は依然として解消されない。また、アルミニウムパッドを使用している場合、アルミニウムと銅との間に細かい隙間があると、その部分を酸素が通り抜けて表面に銅酸化物が析出する現象が起こる。このとき下地の銅配線が断線して配線の劣化が生じる。ここで説明するボンディング工程は、ダイシングからパッケージングまでの全ての工程を含む意味で用いられている。本発明は、このような事情によりなされたものであり、銅配線を使用しながらその経時変化による劣化を抑えた信頼性の高い半導体装置及びその製造方法を提供するものである。

#### 【0005】

【課題を解決するための手段】本発明は、半導体基板上の銅又は銅を主成分とする合金膜から構成された接続電極もしくは接続電極とボンディングワイヤとの接続部分の表面に銅が露出しないように構成することに特徴があり、このように構成することにより、銅又は銅を主成分とする合金からなる銅配線を使用しながらその経時変化による劣化を抑えた信頼性の高い半導体装置及びその製

造方法を得ることができる。また、本発明は、銅又は銅を主成分とする合金からなる銅配線を用いた半導体素子上にアルミニウムもしくはその合金配線を形成する場合、銅パッド直上ではなく、銅パッドより少しずらした位置にアルミニウムもしくはその合金のパッドを形成することに特徴がある。このように構成することにより、ボンディング時のストレスが銅配線まで及ばず、表面に銅が露出することがないため酸化やコロージョン等の銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。また、本発明は、銅又は銅を主成分とする合金からなる銅配線を用いた半導体素子上にアルミニウムもしくはその合金配線を形成する場合、絶縁膜とバリアメタルとの間に酸素が入り込まないように酸素の透過を抑制する密着性の高い導電膜を形成することを特徴とする。銅配線の経時変化による劣化を防ぐことができる信頼性の高い半導体装置を形成することができる。

【0006】さらに、本発明は、銅又は銅を主成分とする合金からなる銅配線を用いた半導体素子のボンディング工程において、ダイボンディング時に高濃度の酸素及びその他の銅汚染元素及び銅汚染化合物雰囲気中に晒されない条件で乾燥を行うことを特徴とする。また、ワイヤボンディング後のパッドとボンディングワイヤとの接続部に保護膜を形成することを特徴とする。また、パッケージング時に酸素濃度が低く、その他の銅汚染元素及び銅汚染化合物濃度が低い不活性ガス雰囲気中でキャッピング工程を行うことを特徴とする。銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。すなわち、本発明の半導体装置は、半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第1の配線と前記第1の配線に接続された銅又は銅を主成分とする合金膜から構成された接続電極と、前記第1の配線及び前記第1の接続電極を被覆し、前記第1の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第1の接続電極に接続された第2の配線と、前記第2の配線と電気的に接続された第2の接続配線とを具備し、前記第2の接続電極が前記第1の接続電極の直上ではなく第1及び第2の接続電極の位置はずれていることを第1の特徴としている。

【0007】また、本発明の半導体装置は、半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第1の配線と前記第1の配線に接続された銅又は銅を主成分とする合金膜から構成された第1の接続電極と、前記第1の配線及び第1の接続電極を被覆し、前記第1の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第1の接続電極の前記開口部に露出している部分を完全に被覆するように前記絶縁膜上に形成された酸素の透過を抑制する導電膜と、前記導電膜上に形成された第2の配線と、前記第2の配線と電気的に接続された第2の接続電極とを具備したことを第2の

特徴としている。また、本発明の半導体装置は、半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第1の配線と前記第1の配線に接続された銅又は銅を主成分とする合金膜から構成された第1の接続電極と、前記第1の配線及び第1の接続電極を被覆し、前記第1の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜と、前記第1の接続電極の前記開口部に露出している部分を完全に被覆するように前記絶縁膜上に形成された酸素の透過を抑制する導電膜と、前記導電膜上に形成されたバリアメタル層と、前記バリアメタル層上に形成された第2の配線と、前記第2の配線と電気的に接続された第2の接続電極とを具備したことを第3の特徴としている。前記酸素の透過を抑制する導電膜は、Ti、Ta、Al、Nb及びこれらの化合物のいずれかから選ばれるようにしても良い。前記第2の配線及び前記第2の接続配線は、Al、Au、Ag、Pt及びそれらの合金から選ばれるようにしても良い。

【0008】本発明の半導体装置の製造方法は、半導体基板上に形成された銅又は銅を主成分とする合金膜から構成された第1の配線と、前記第1の配線に接続された銅又は銅を主成分とする合金膜から構成された接続電極と、前記第1の配線及び前記第1の接続電極とを被覆し、前記第1の接続電極の少なくとも一部を露出させる開口部を備えた絶縁膜を形成する工程と、前記開口部を介してボンディングワイヤの一端を前記接続電極にボンディングする工程と、前記接続電極と前記ボンディングワイヤとの接続部分を外気から遮断する工程とを具備したことを特徴としている。前記接続部分を外気から遮断する工程は、半導体基板を $10^{-4}$  Torr以下の酸素分圧雰囲気中で乾燥する工程からなるようにしても良い。前記ボンディングワイヤ接続後に保護絶縁膜を形成する工程をさらに具備するようにしても良い。前記半導体基板を $10^{-4}$  Torr以下の酸素分圧不活性ガスで密封する工程をさらに具備するようにしても良い。

#### 【0009】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1及び図2を参照して第1の実施例を説明する。図1及び図2(a)は、ワイヤボンディング工程を説明する半導体基板の断面図、図2(b)は、ワイヤボンディング部の状態を説明する半導体基板の平面図である。半導体基板は、図5に示されたシリコン半導体基板と同じものを使用する。半導体素子が形成されたシリコン半導体基板には、シリコン酸化膜などの絶縁膜が形成されており、その上に銅もしくは銅合金の配線パターンが形成されている。この半導体基板に形成された配線は、多層配線であり、配線層にはそれぞれ複数のパッドが接続されている。パッドは、配線パターンと同じ銅もしくは銅合金で形成されている。配線パターンは、例えば、シリコン酸化膜、シリコン窒化膜などのパッシベーション絶縁膜に被覆保護されている。

Cu最上層のパッドは、周辺部のみパッシベーション絶縁膜によって被覆され、中心部分は、接続部としてパッシベーション絶縁膜に形成された開口部に囲まれ、露出している。パッドの接続部は、金やアルミニウムなどの細線からなるボンディングワイヤの先端に接続される。ボンディングワイヤは、外部回路、例えば、パッケージの電極端子などに接続される。

【0010】半導体基板10のパッドの詳細は、図1(a)に示されている。半導体基板10上のシリコン酸化膜などの絶縁膜1に形成された銅配線は、多層配線であり、Cu最上層のパッド3は、最上層の配線2と同じ平面に形成されている。この実施例では4層配線を示している。最上層のパッド3の下には内部配線として3層の銅配線及びパッド6が形成されているが、配線間は、銅などからなる接続プラグ7により電気的に接続されている。これらの配線、接続プラグは、例えば、ダマシシ法などの埋め込み配線形成方法を用いて形成される。まず、銅の多層配線を形成し、最上層の配線2及び配線2に接続された銅の最上層パッド3を被覆するように、絶縁膜1上にパッシベーション絶縁膜4を形成する。そして、このパッシベーション絶縁膜4に最上層パッド3が露出するように開口部5を形成する(図1(a))。次に、最上層パッド3及びパッシベーション絶縁膜4上にこのパッシベーション絶縁膜との密着性が非常に良好で且つ酸素の透過を抑制する導電膜として20nm厚のTi膜38をスパッタリング法により堆積させる。この導電膜としては絶縁膜にSiO<sub>2</sub>系を使用している場合は、TiやTaの様な還元性のある膜が望ましい。この導電膜は、部分的に酸化されてTiO<sub>x</sub>やTaO<sub>x</sub>膜となり(xは組成比で正数)酸素の透過を抑制する。次に、Ti膜38の上にバリアメタル膜として膜厚50nmのTiN膜39をスパッタリング法により堆積させる。続いて、膜厚1000nmのAl-Cu合金膜40をスパッタリング法により堆積させる。

【0011】次に、RIE法を用いてフォトレジスト(図示せず)を使用しこれら堆積膜をパターニングしてAl-Cu配線40をパッド3上及びパッシベーション絶縁膜4上に形成する(図1(b))。次に、パッシベーション絶縁膜4及びAl-Cu配線40の上にパッシベーション絶縁膜41を形成する。そして、パッシベーション絶縁膜41に、パッド3の直上からずれて、開口部42を形成する。この開口部内のAl-Cu配線40をアルミニウムパッド領域とする。このアルミニウムパッド領域がボンディング部分44となる。つまり、アルミニウムパッド領域にアルミニウム細線からなるボンディングワイヤ43をボンディングさせてワイヤボンディングが完成する(図2)。以上のように、銅配線の銅パッド上に形成されたアルミニウム合金配線及び絶縁膜との密着性が良く酸素の透過を抑制する導電膜が銅配線を外気から遮断する手段として用いられる。その結果、こ

の実施例ではパッドの銅が酸化もしくは腐食されるのが防止され、銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。また、アルミニウムパッドの位置は、銅パッドからずらした位置に形成することにより、ボンディング時のストレスによるクラックを避けることができる。さらに銅パッドの直上ではない場所にボンディングするため、最上層の Al-Cu 配線がつぶれてしまっても絶縁膜が露出するのみで銅配線に影響が及ばず、銅表面の露出が無く信頼性の高い半導体装置が形成される。

【0012】次に、図 3 及び図 4 を参照して第 2 の実施例を説明する。図 3 及び図 4 (a) は、ワイヤボンディング工程を説明する半導体基板の断面図、図 4 (b) は、ワイヤボンディング部の状態を説明する半導体基板の平面図である。半導体基板は、図 5 に示されたシリコン半導体基板と同じものを使用する。半導体素子が形成されたシリコン半導体基板には、シリコン酸化膜などの絶縁膜が形成されており、その上に銅もしくは銅合金の配線が形成されている。この半導体基板に形成された配線は、多層配線であり、配線層にはそれぞれ複数のパッドが接続されている。パッドは、配線と同じ銅もしくは銅合金で形成されている。配線は、例えば、シリコン酸化膜、シリコン窒化膜などのパッシベーション絶縁膜に被覆保護されている。Cu 最上層のパッドは、周辺部のみパッシベーション絶縁膜によって被覆され、中心部分は、接続部としてパッシベーション絶縁膜に形成された開口部に囲まれ、露出している。パッドの接続部は、金やアルミニウムなどの細線からなるボンディングワイヤの先端に接続される。ボンディングワイヤは、外部回路、例えば、パッケージの電極端子などに接続される。

【0013】半導体基板 20 のパッドの詳細は、図 3 (a) に示されている。半導体基板 20 上の絶縁膜 21 に形成された銅配線は、多層配線であり、Cu 最上層パッド 23 は、最上層の配線 22 と同じ平面に形成されている。この実施例では 4 層配線を示している。最上層のパッド 23 の下には内部配線として 3 層の銅配線及びパッド 26 が形成されているが、配線間は、銅などからなる接続プラグ 27 により電気的に接続されている。これらの配線、接続プラグは、例えば、ダマシシ法などの埋め込み配線方法を用いて形成される。まず、銅の多層配線を形成し、最上層の配線 22 及び配線 22 に接続された銅の最上層パッド 23 を被覆するように、絶縁膜 21 上にパッシベーション絶縁膜 24 を形成する。そして、このパッシベーション絶縁膜 24 に最上層パッド 23 が露出するように開口部を形成する (図 3 (a))。次に、パッド 23 及びパッシベーション絶縁膜 24 上にこのパッシベーション絶縁膜との密着性が非常に良好で且つ酸素の透過を抑制する導電膜として Ti 膜 28 を堆積させる。この導電膜としては絶縁膜に SiO<sub>2</sub> 系を使用している場合は Ti や Ta の様な還元性のある膜が望ま

しい。この導電膜は、部分的に酸化されて TiO<sub>x</sub> や TaO<sub>x</sub> 膜となり (x は組成比で正数) 酸素の透過を抑制する。

【0014】次に、Ti 膜 28 の上にバリアメタル膜として TiN 膜 29 を堆積させる。本発明においてはバリアメタル膜は、使用しなくても良く、使用する場合には、TiN 以外に、WN、Ta<sub>2</sub>N、WSiN、TiSiN などがある。続いて、Al-Cu 合金膜 19 を約 1 μm スパッタリング法により堆積させる。次に、RIE (Reactive Ion Etching) 法を用いてフォトリソ (図示せず) を使用しこれら堆積膜をパターンニングして Al-Cu 配線 19 をパッド 23 上及びパッシベーション絶縁膜 24 上に形成する (図 3 (b))。次に、パッシベーション絶縁膜 24 及び Al-Cu 配線 19 の上にパッシベーション絶縁膜 17 を形成し、パッド 23 の直上にパッシベーション絶縁膜 17 の開口部を形成して開口部内の Al-Cu 配線 19 をアルミニウムパッド領域とする。このアルミニウムパッド領域がボンディング部分 8 となる。つまり、アルミニウムパッド領域にアルミニウム細線からなるボンディングワイヤ 18 をボンディングさせてワイヤボンディングが完成する (図 4 (a))。以上のように、銅配線の銅パッド上に形成されたアルミニウム合金配線及び絶縁膜との密着性が良く酸素の透過を抑制する導電膜が銅配線を外気から遮断する手段として用いられる。その結果、この実施例ではパッドの銅が酸化もしくは腐食されるのが防止され、銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。

【0015】次に、図 5 乃至図 10 を参照して第 3 の実施例を説明する。図 5 は、多層配線が形成され最上層にパッドが形成された半導体素子 (チップ) の平面図及びこの平面図の A-A' 線に沿う部分の断面図、図 6

(a) は、半導体素子が搭載されたパッケージの平面図、図 6 (b) は、図 6 (a) の A-A' 線に沿う部分の断面図、図 6 (c) は、半導体素子のパッド部分を示す半導体基板の概略部分断面図、図 7 (a) は、半導体素子が搭載されたパッケージの平面図、図 7 (b) は、図 7 (a) の A-A' 線に沿う部分の断面図、図 7

(c) は、半導体素子のボンディングワイヤをボンディングしたパッド部分を示す半導体基板の概略部分断面図、図 8 (a) は、半導体素子が搭載されたパッケージの平面図、図 8 (b) は、図 8 (a) の A-A' 線に沿う部分の断面図、図 8 (c) は、半導体素子の絶縁保護膜を施したパッド部分を示す半導体基板の概略部分断面図、図 9 (a) は、キャップを施したパッケージの平面図、図 9 (b) は、図 9 (a) の A-A' 線に沿う部分の断面図、図 10 は、本発明の効果を説明する配線抵抗の経時変化を示す特性図である。

【0016】シリコンウェーハに銅もしくは銅合金からなる多層配線を施し、パッシベーション絶縁膜で被覆し



て、開口部に露出するパッドを形成するまでの処理を行ってから、ウェーハをダイシングしてチップに分割する。図5は、分割されたチップの平面図及び断面図である。シリコン半導体基板30には、シリコン酸化膜などの絶縁膜31と下層の銅配線（図示せず）が形成されており、最上層には銅もしくは銅合金の配線32が形成されている。すなわちこの半導体基板30に形成された配線は多層配線である。また、この配線32には複数のパッド33が形成されている。配線部分は、例えば、シリコン窒化膜などのパッシベーション絶縁膜34に被覆保護されている。しかし、パッド33のみは、周辺部がパッシベーション絶縁膜34によって被覆され、中心部分が接続部としてパッシベーション絶縁膜34に形成された開口部35に囲まれ、露出している。パッド33の接続部は、金やアルミニウムなどのボンディングワイヤの先端に接続される。ボンディングワイヤは、外部回路、例えば、パッケージの電極端子などに接続される。

【0017】図5に示される半導体基板30は、チップ9として図6(a)に示すようにパッケージに搭載され、その後密閉される。このパッケージ11は、例えば、セラミックスからなり、基底にチップ9が銀ペーストなどの接着剤13により固着される。パッケージ11内部の周端部にはパッケージ11の外部回路と電気的な接続を行う外部電極（図示せず）に電気的に接続された複数の端子12が固定されている。この銀ペーストを焼き固めるために200℃程度の温度で加熱する。この時、高濃度の酸素や銅汚染物質に晒されていない条件で乾燥を行う。具体的には、 $10^{-4}$  Torr以上の真空度の状態で真空加熱をする。これにより、従来ではパッドの銅が酸化あるいは腐食される場合が多いのに、この実施例ではこれら酸化あるいは腐食を防止することができる。半導体基板30のパッド部の詳細は、図6(c)に示されている。半導体基板30上の絶縁膜31に形成された銅配線は、多層配線であり、パッド33は、最上層の配線32（図5参照）と同じ平面に形成されている。この実施例は4層配線を示しているが、本発明では4層配線に限らず、それより多くても少なくとも良い。最上層のパッド33の下には内部配線として3層の銅配線36が形成されているが、配線間は、銅などからなる接続プラグ37により電気的に接続されている。これらの配線及び接続プラグは、例えば、ダマシン法などの埋め込み法を用いて形成される。

【0018】次に、アルミニウム細線をボンディングワイヤとして、ボンディングを行う。図5に示されるパッド33とパッケージ11内部の端子12とをボンディングワイヤ14により電気的に接続する（図7）。ボンディングワイヤ14をパッド33及び端子12にボンディングしてから、パッド33の表面の銅露出部分を保護するために、シリコン窒化膜（ $\text{Si}_3\text{N}_4$ ）のスパッタリングを約100nmの膜厚で行い、保護絶縁膜15を形

成する。シリコン窒化膜に代えてシリコン酸化膜（ $\text{SiO}_2$ ）を300nm堆積させても良い（図8）。最後にパッケージ11にキャップ16を用いてキャッピングをし、一旦真空引きした後、高純度窒素ガスを流し、その高純度窒素雰囲気中で150℃、1時間程度の加熱する条件によりシーム溶接を行って半導体装置を形成する

（図9）。この実施例で形成された半導体装置を350℃の炉内で1週間加熱し、内部の配線の抵抗をモニタしたところ、配線抵抗は、増大せず、内部のCu配線は、酸化されないうえ安定していたことが確認された（図10）。図10は、配線抵抗の経時変化を示す特性図であり、縦軸は、加熱前の初期配線抵抗（ $R_0$ ）に対する所定時間加熱した後の配線抵抗（ $R$ ）の比（ $R/R_0$ ）を表わし、横軸は、加熱時間を表わしている。一方、従来品では10時間以内にCu酸化が生じ断線してしまう。

【0019】以上のように、銅が露出するボンディングワイヤとパッドの接続部分に外気を遮断する手段として保護絶縁膜を形成することにより、隙間の部分を埋め込むことができる。その結果、パッドの銅が酸化もしくは腐食されるのを防止することができる。また、シーム溶接をこの実施例のように行うことにより、パッドの銅が酸化もしくは腐食されるのを防止することができる。

#### 【0020】

【発明の効果】本発明は、以上の構成により、銅配線を用いた半導体素子上にアルミニウム配線を形成する半導体装置の場合、銅パッド直上ではなく、ずらした位置にアルミニウムパッドを形成することにより、ボンディング時等のストレスが銅配線まで及ばず表面に露出することがないために、酸化・腐食等の銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することが可能になる。また、銅配線を用いた半導体素子上にアルミニウム配線を形成する半導体装置の場合、絶縁膜とメタルとの間に酸素が入り込まないように密着性の高い導電膜を形成することにより銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置が得られる。また、銅配線を用いた半導体素子にボンディングを施す方法において、ダイボンディング時に高濃度の酸素に晒されない条件で乾燥を行う、ワイヤーボンディング後のサンプルに保護絶縁膜を形成する、パッケージ封止時に酸素濃度の低い不活性ガス雰囲気中でシーム溶接を行う等の条件を設定することにより銅配線の経時変化による劣化を防ぐ信頼性の高い半導体装置を形成することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体基板に形成されたパッド部分の断面図。

【図2】本発明の半導体基板に形成されたパッド部分の断面図。

【図3】本発明の半導体基板に形成されたパッド部分の断面図。

【図4】本発明の半導体基板に形成されたパッド部分の

断面図。

【図 5】本発明の半導体装置を構成する半導体基板の平面図及び断面図。

【図 6】本発明のパッケージに収容された半導体基板の平面図、断面図及び半導体基板のパッド部分の断面図。

【図 7】本発明のパッケージに収容された半導体基板の平面図、断面図及び半導体基板のパッド部分の断面図。

【図 8】本発明のパッケージに収容された半導体基板の平面図、断面図及び半導体基板のパッド部分の断面図。

【図 9】本発明のパッケージに収容された半導体基板の平面図及び断面図。

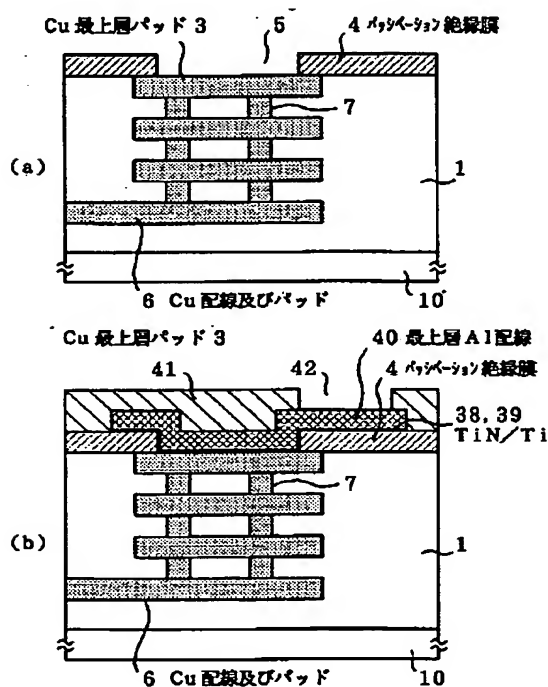
【図 10】本発明の効果を説明する配線抵抗の経時変化を示す特性図。

【図 11】従来の半導体装置を構成する半導体基板の平面図及び断面図。

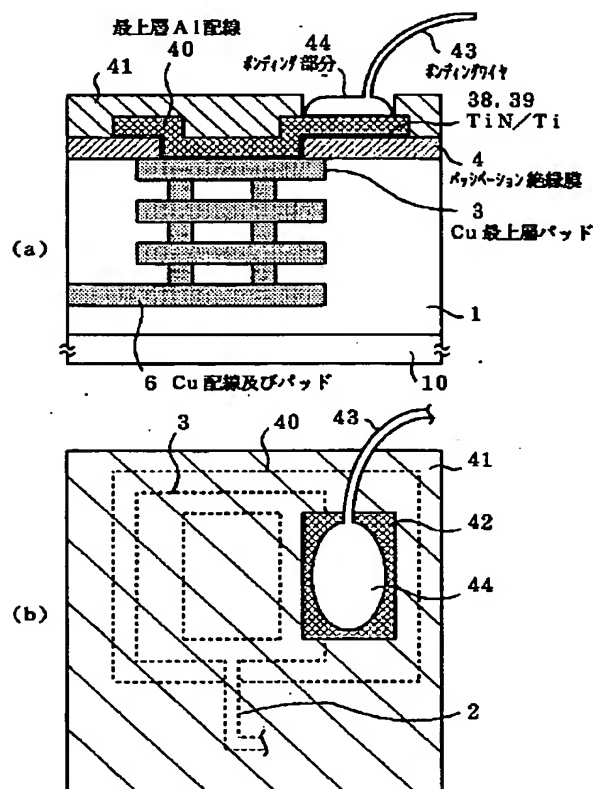
【符号の説明】

1、21、31、101・・・絶縁膜、2、22、32、102・・・銅 (Cu) の配線、3、23、33、103・・・銅 (Cu) の最上層パッド、4、17、24、34、41、104・・・パッシベーション絶縁膜、5、25、35、42、105・・・開口部、6、26、36・・・銅の内部配線及びパッド、7、27、37・・・接続プラグ、8、44・・・ボンディング部分、9・・・チップ、10、20、30、100・・・半導体基板、11・・・パッケージ、12・・・端子、13・・・接着剤、14、18、43、106・・・ボンディングワイヤ、15・・・保護絶縁膜、16・・・キャップ、19、40・・・アルミニウム配線、28、38・・・Ti膜、29、39・・・TiN膜。

【図 1】

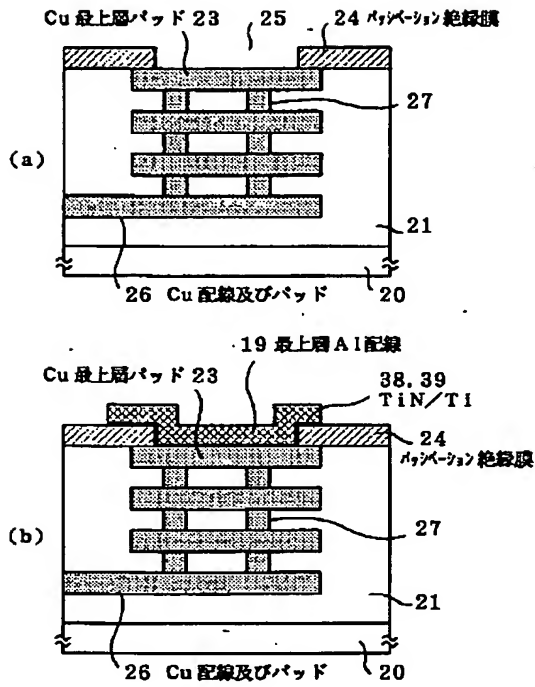


【図 2】

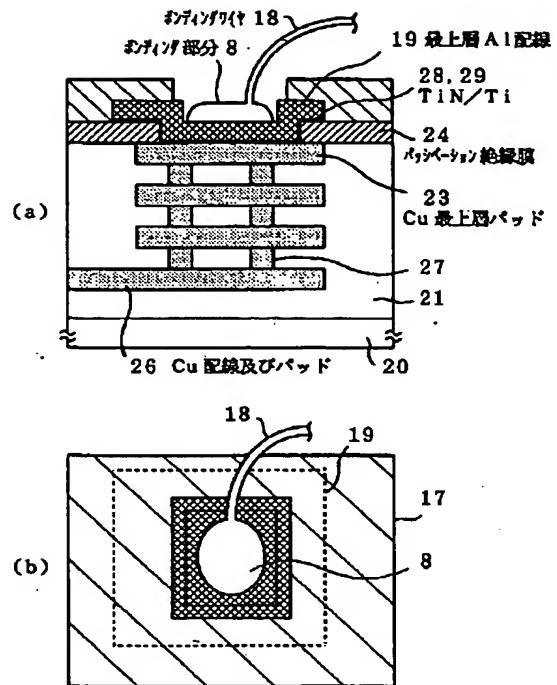




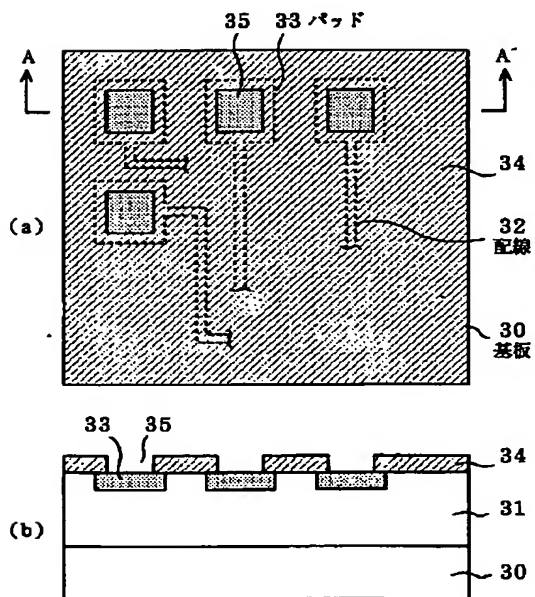
【図 3】



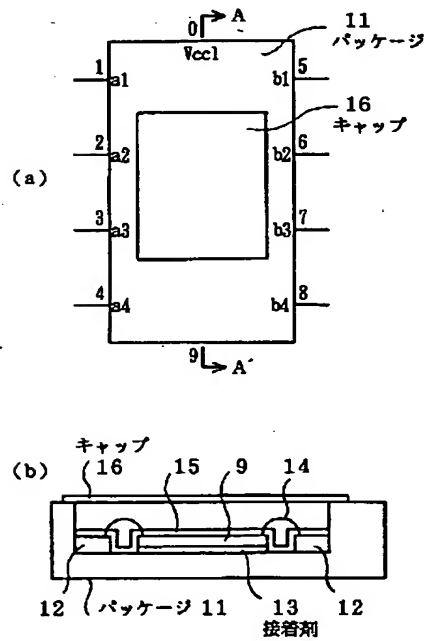
【図 4】



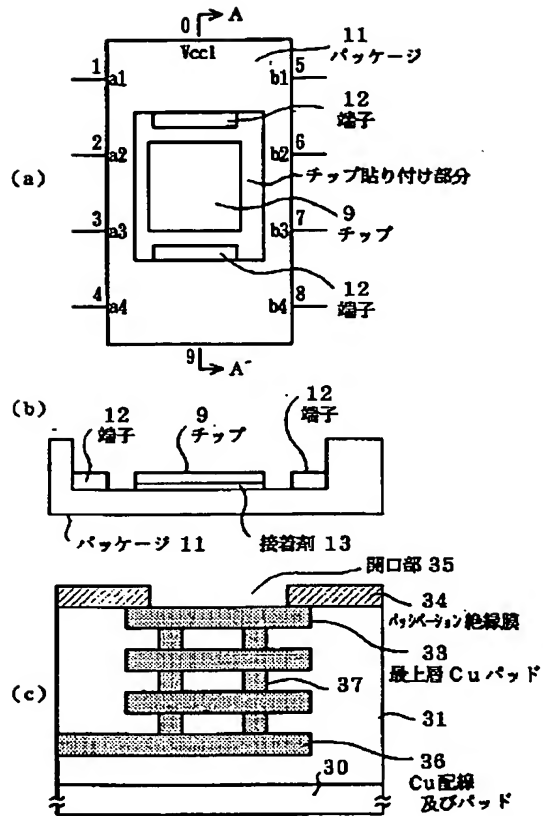
【図 5】



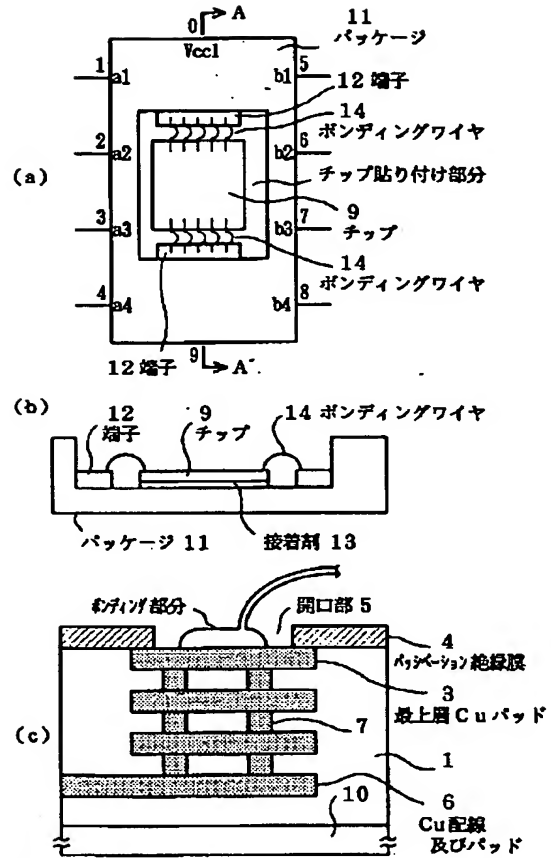
【図 9】



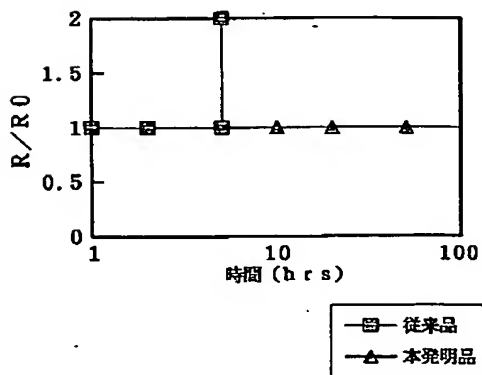
【図6】



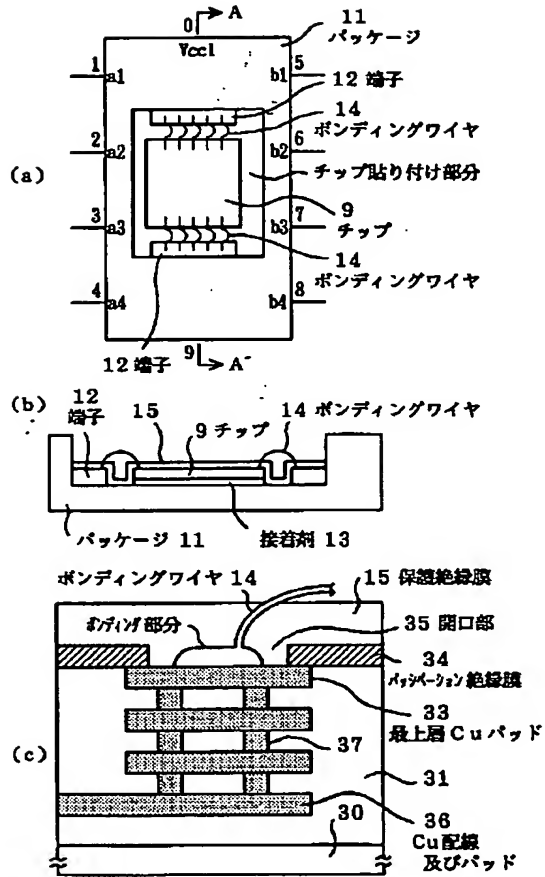
【図7】



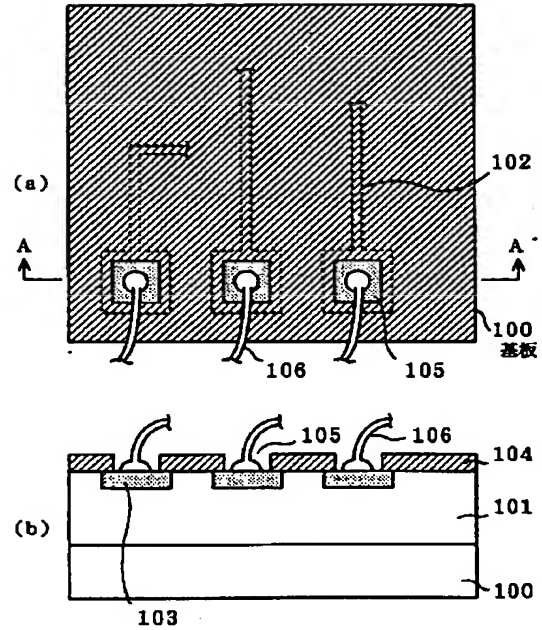
【図10】



【図8】



【図11】



フロントページの続き

Fターム(参考) 5F033 HH07 HH09 HH11 HH13 HH14  
 HH18 HH21 HH27 HH28 HH32  
 HH33 HH34 JJ11 KK11 MM01  
 MM08 MM17 MM21 PP15 QQ13  
 RR04 RR06 VV07 XX18  
 5F044 AA07 EE04 EE06 EE08 EE11  
 EE14 EE21 JJ03